

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-175753

(43)Date of publication of application : 13.07.1993

(51)Int.Cl.

H03F 3/45
H03F 3/343

(21)Application number : 03-340558

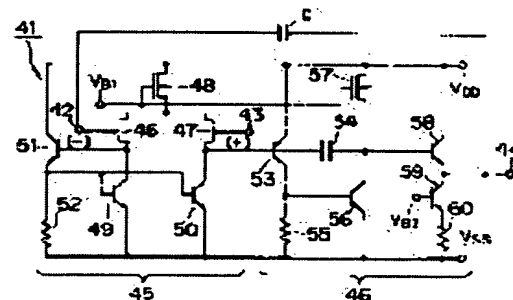
(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.12.1991

(72)Inventor : TSUJI KAZUHIRO
SAHODA MASAYUKI**(54) OPERATIONAL AMPLIFIER****(57)Abstract:**

PURPOSE: To bias an operational amplifier circuit properly and to attain a broad band for the operational amplifier circuit.

CONSTITUTION: Junction FETs 46, 47 are used for input transistors (TRs) pairs of an operational amplifier circuit 41 and a capacitor C is connected between an output terminal 43 and an inverting input terminal of the operational amplifier circuit 41. Thus, it is possible to set an input operating point and an output operating point to a different potential and the operational amplifier circuit 41 is biased properly. Since TRs except for those for a constant current source are bipolar TRs 49, 50, 51, 53, 56, 58, 59, broad band processing is attained.

**LEGAL STATUS**

[Date of request for examination] 09.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3113024

[Date of registration] 22.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-175753

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl.⁵

H 0 3 F 3/45
3/343

識別記号

庁内整理番号

A 7436-5 J

Z 8124-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数4(全10頁)

(21)出願番号

特願平3-340558

(22)出願日

平成3年(1991)12月24日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 辻 和宏

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72)発明者 佐保田 昌之

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

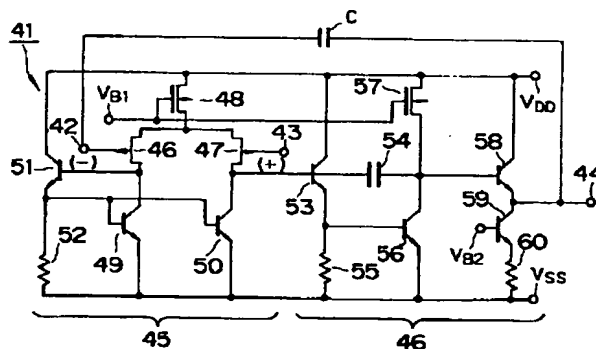
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 演算増幅器

(57)【要約】

【目的】この発明の目的は、演算増幅回路を適正にバイアスするとともに、広帯域化を可能とする。

【構成】演算増幅回路(41)の入力トランジスタ対としてジャンクションFET(46、47)を使用し、この演算増幅回路(41)の出力端子(43)と反転入力端子の相互間にキャパシタ(C)を接続しているため、入力動作点と出力動作点を異なる電位に設定することができ、演算増幅回路(41)を適正にバイアスできる。しかも、定電流源を除くトランジスタを、バイポーラトランジスタ(49、50、51、53、56、58、59)によって構成しているため、広帯域化できる。



【特許請求の範囲】

【請求項1】 反転入力端子、非反転入力端子にゲートが接続される入力トランジスタ対がジャンクションFETによって構成された演算増幅回路と、この演算増幅回路の出力端子と前記反転入力端子の相互間に設けられた容量素子とを具備し、入力動作点と出力動作点を異なる電位に設定することを特徴とする演算増幅器。

【請求項2】 前記演算増幅回路の非反転入力端子は電源電位に接続されていることを特徴とする請求項1記載の演算増幅器。

【請求項3】 前記演算増幅回路の反転入力端子および非反転入力端子にはスイッチド・キャパシタ回路が接続されていることを特徴とする請求項1記載の演算増幅器。

【請求項4】 反転入力端子、非反転入力端子にゲートが接続される入力トランジスタ対がジャンクションFETによって構成され、定電流源を除くトランジスタがバイポーラトランジスタによって構成された演算増幅回路と、この演算増幅回路の出力端子と前記反転入力端子の相互間に設けられた容量素子とを具備し、入力動作点と出力動作点を異なる電位に設定することを特徴とする演算増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えばスイッチド・キャパシタ・フィルタ等に使用される演算増幅器に関する。

【0002】

【従来の技術】図1は、スイッチド・キャパシタ・フィルタに使用される従来の演算増幅器の一例を示すものである。この演算増幅器は、差動回路11と、この差動回路11に接続されたソース接地回路12によって構成されている。前記差動回路11は、入力トランジスタ対としてのPチャンネルMOSトランジスタ（以下、PMOSトランジスタと称す）13、14、定電流源としてのPMOSトランジスタ15、およびカレントミラーとしてのNチャンネルMOSトランジスタ（以下、NMOSトランジスタと称す）16、17によって構成されている。また、前記ソース接地回路12は位相補償用のコンデンサ18、抵抗19、定電流源としてのPMOSトランジスタ20、およびNMOSトランジスタ21によって構成されている。上記演算増幅器は入力インピーダンスが高い。しかし、次のような問題を有している。

(1) MOSトランジスタは $1/f$ ノイズ等を有するため、入力換算雑音が大きい。

(2) MOSトランジスタは遮断周波数 f_T が低いため、広帯域化することが困難である。

【0003】一方、バイポーラトランジスタを用いた演

算増幅器は、低雑音で広帯域化することが可能である。しかし、入力インピーダンスが低いため、スイッチド・キャパシタ・フィルタ(SCF)等の回路に適用するには不向きである。

【0004】

【発明が解決しようとする課題】これらの問題を解決するため、低雑音で入力インピーダンスが高い、ジャンクションFET（以下、JFETと称す）を入力トランジスタに使用することがある。

【0005】図2は、入力トランジスタ対としてPチャンネルJFET22、23を用いた従来の演算増幅器を示すものであり、図1と同一部分には、同一符号を付す。しかし、この演算増幅器は次のような問題を有している。

【0006】(1) JFETは一般にデプレッション・タイプであるため、通常のように、電源電圧の半分の電位を入力動作点とした場合、各トランジスタを正常にバイアスすることが困難となる。

【0007】(2) 入力トランジスタ対にJFETを使用することにより、雑音を低減することができる。しかし、演算増幅器を構成する他のトランジスタはMOS型であるため、演算増幅器を広帯域化することが困難である。

【0008】このため、入力トランジスタ対としてJFETを使用した演算増幅器は、実現が困難であり、コンパレータにJFETの入力トランジスタ対を使用した例が僅かにあるのみである。

【0009】図3は、文献(Ulrich Roettcher et al., "A Compatible CMOS-JFET Pulse Density Modulator for Interpolative High-Resolution A/D Conversion", IEEE J. of solid-state circuits, Vol.sc-21, No.3, June 1986, p.446-452)に開示されたコンパレータを示すものである。このコンパレータにおいて、入力トランジスタ対としてJFET31、32が使用されている。コンパレータは、演算増幅器と次の点で異なっている。

(1) 出力信号を入力側に帰還して使用する必要がないため、バイアスが容易である。

(2) 位相補償の必要がないため、広帯域化が容易である。

【0010】このように、コンパレータは、JFETを入力トランジスタとして使用し易いものである。しかし、このコンパレータの技術により、演算増幅器を作ることには困難である。

【0011】この発明は、上記課題を解決するためになされたものであり、その目的とするところは、入力トランジスタ対としてJFETを使用し、且つ、適正なバイアスを設定できるとともに、広帯域化が可能な演算増幅器を提供しようとするものである。

【0012】

【課題を解決するための手段】この発明は、上記課題を

解決するため、反転入力端子、非反転入力端子にゲートが接続される入力トランジスタ対がジャンクションFETによって構成され、定電流源を除くトランジスタがバイポーラトランジスタによって構成された演算増幅回路と、この演算増幅回路の出力端子と前記反転入力端子の相互間に設けられた容量素子とを具備し、入力動作点と出力動作点を異なる電位に設定している。また、前記演算増幅回路の非反転入力端子は電源電位に接続されている。さらに、前記演算増幅回路の反転入力端子および非反転入力端子にはスイッチド・キャパシタ回路が接続されている。

【0013】また、反転入力端子、非反転入力端子にゲートが接続される入力トランジスタ対がジャンクションFETによって構成され、定電流源を除くトランジスタがバイポーラトランジスタによって構成された演算増幅回路と、この演算増幅回路の出力端子と前記反転入力端子の相互間に設けられた容量素子とを具備し、入力動作点と出力動作点を異なる電位に設定している。

【0014】

【作用】すなわち、この発明は、入力トランジスタ対としてジャンクションFETを使用した演算増幅回路において、演算増幅回路の出力端子と反転入力端子の相互間に容量素子を接続しているため、入力動作点と出力動作点を異なる電位に設定することができ、演算増幅回路を適正にバイアスできる。また、定電流源を除くトランジスタを、バイポーラトランジスタによって構成しているため、広帯域化が可能である。

【0015】

【実施例】以下、この発明の一実施例について図面を参照して説明する。図4はこの発明の一実施例を概略的に示すものであり、図5は図4を具体的に示す回路図である。

【0016】図4、図5において、演算増幅回路41の反転入力端は入力端子42に接続され、非反転入力端は入力端子43に接続されている。演算増幅回路41の出力端OUTは、出力端子44に接続されている。演算増幅回路41の出力端OUTと反転入力端の相互間には、キャパシタCが接続されている。前記演算増幅回路41は、図5に示すように、差動回路45と、この差動回路45に接続されたエミッタ接地回路46によって構成されている。

【0017】前記差動回路45において、入力トランジスタ対を構成するPチャネルJFET46、47のゲートは反転入力端としての入力端子42、非反転入力端としての入力端子43にそれぞれ接続されている。これらJFET46、47のソースは定電流源としてのPチャ

$$V_3 = AV_1 / (A+1) + AQ / (A+1) C + V_{op} / (A+1)$$

このV3はほぼ、 $V_1 + Q/C$ である。また、

$$V_2 = AV_1 / (A+1) - Q / (A+1) C + V_{op} / (A+1)$$

このV2はほぼ、 V_1 である。

*ネルMOSトランジスタ48を介して電源 V_{DD} に接続されている。このMOSトランジスタ48のゲートは電源 V_{DD} に接続されている。前記JFET46、47の各ドレインは、NPNトランジスタ49、50のコレクタにそれぞれ接続されている。これらトランジスタ49、50の各エミッタは電源 V_{SS} に接続され、各ベースはインピーダンス変換用のNPNトランジスタ51のエミッタに接続されている。このトランジスタ51のエミッタは、抵抗52を介して電源 V_{SS} に接続され、ベースは前記JFET46のドレインに接続され、コレクタは電源 V_{DD} に接続されている。

【0018】一方、前記エミッタ接地回路46において、NPNトランジスタ53のベースは前記JFET47のドレインに接続されるとともに、位相補償用のキャパシタ54の一端に接続されている。また、トランジスタ53のコレクタは電源 V_{DD} に接続され、エミッタは抵抗55を介して電源 V_{SS} に接続されるとともに、NPNトランジスタ56のベースに接続されている。このトランジスタ56のエミッタは電源 V_{SS} に接続され、コレクタは前記キャパシタ54の他端に接続されるとともに、定電流源を構成するPMOSトランジスタ57のドレインに接続されるとともに、NPNトランジスタ58のベースに接続されている。前記PMOSトランジスタ57のゲートは電源 V_{DD} に接続され、ソースは電源 V_{DD} に接続されている。前記トランジスタ58のコレクタは電源 V_{DD} に接続され、エミッタは出力端子44に接続されるとともに、NPNトランジスタ59のコレクタに接続されている。このトランジスタ59のベースは電源 V_{DD} に接続され、エミッタは抵抗60を介して電源 V_{SS} に接続されている。前記トランジスタ58、59はエミッタフォロワのインピーダンス変換回路を構成している。さらに、前記出力端子44と入力端子42の相互間には前記キャパシタCが接続されている。前記電源 V_{DD} は例えば5V、電源 V_{DD1} は例えば3.5V、電源 V_{DD2} は例えば1.5Vである。上記構成において、動作について説明する。

【0019】図4に示すように、入力端子43（非反転入力端）に供給されるバイアス電位を V_1 、入力端子42（反転入力端）に供給されるバイアス電位を V_2 、出力端子44のバイアス電位を V_3 とし、演算増幅回路41の利得をA（ $A > 0$ ）、キャパシタCの電荷をQ、出力の動作点を V_{op} とすると、次式が成立する。

$$V_3 = A(V_1 - V_2) + V_{op}$$

$$V_3 - V_2 = Q/C$$

したがって、

【0020】によって、演算増幅回路41の利得Aが十分

大きい場合、入力電位は $V_2 = V_1$ となり、出力電位 V_3 はキャパシタ C の電位差分シフトする。したがって、非反転入力端のバイアス電位 $V_1 = V_{DD}$ とし、 $Q = -1/2 CV_{DD}$ とすると、反転入力端のバイアス電位 $V_2 = V_{DD}$ となり、出力端のバイアス電位 $V_3 = 1/2 V_{DD}$ となる。

【0021】図6は、PチャンネルMOSトランジスタとPチャンネルJFETの一般的な $V_{GS} - I_{DS}$ 特性を示すものである。同図に示すように、MOSトランジスタとJFETの閾値電圧 V_{th} は数Vの差がある。このため、MOSトランジスタをJFETに単純に置換えた場合、正

常には動作しない。しかし、上記実施例のように、演算増幅回路41の出力端と反転入力端子の相互間にキャパシタ C を接続するとともに、入力動作点を電源電圧 V_{DD} とすることにより、JFET46、47を適正にバイアスすることができる。

【0022】また、図7に示すように、PチャンネルJFETとNPNトランジスタはほぼ同一構成であるため、定電流源を構成するトランジスタ以外をバイポーラトランジスタによって構成している。したがって、回路動作

の高速化、および広帯域化が可能である。

【0023】図8は、図4に示す演算増幅回路41をボルテージ・フォロアとした例を示すものである。入力端子43には、図9に示すような入力信号電圧 V_{in} が供給される。この入力信号電圧 V_{in} は、電圧 V_{DD} を中心として振れる信号である。この場合、演算増幅回路41の出力信号電圧 V_{out} は、キャパシタ C の電位差を $1/2 V_{DD}$ となるように設定しておけば、電圧 $1/2 V_{DD}$ を中心として振れる。図10は、図4、図5に示す演算増幅回路41をスイッチド・キャパシタ回路、例えば積分器に適用した場合を示すものである。

【0024】入力信号 V_{in} はスイッチド・キャパシタ回路70を構成するスイッチ71を介してキャパシタ72の一端に接続されている。このキャパシタ72の一端にはスイッチ73を介して電源 $1/2 V_{DD}$ が接続されている。キャパシタ72の他端はスイッチ74を介して演算増幅回路41の反転入力端に接続されるとともに、スイッチ75を介して演算増幅回路41の非反転入力端に接続される。この非反転入力端には、電源 V_{DD} が接続されている。上記構成によれば、スイッチ71、72、74、75を順次切換えることにより、所要のフィルタ特性を得ることができる。

【0025】図11は、別の実施例を示すものであり、これは図10の等価回路でもある。図11において、図10のスイッチ71、72、74、75およびキャパシタ72は抵抗76によって等価的に表している。図11の場合、図12に示すように入力信号電圧 V_{in} は、電圧 V_{DD} を中心として振れ、演算増幅回路41の出力信号電圧 V_{out} は、キャパシタ C の電位差を $1/2 V_{DD}$ となるように設定することにより、電圧 $1/2 V_{DD}$ を中心とし

て振れる積分回路となる。但し、図10の場合、スイッチド・キャパシタにより、直流成分がカットされるため、入力信号電圧は $1/2 V_{DD}$ を中心とした信号となる。

【0026】なお、以上の上記実施例は、入力トランジスタ対として、PチャンネルJFETを使用したか、入力トランジスタ対として、NチャンネルJFETを使用することも可能である。図13は、入力トランジスタ対がNチャンネルJFETによって構成された演算増幅回路80を使用した積分器を示すものである。

【0027】入力信号 V_{in} はスイッチ81を介してキャパシタ82の一端に接続されている。このキャパシタ82の一端にはスイッチ83を介して電源 $1/2 V_{DD}$ が接続されている。キャパシタ82の他端はスイッチ84を介して演算増幅回路80の反転入力端に接続されるとともに、スイッチ85を介して演算増幅回路80の非反転入力端に接続される。この非反転入力端には、電源 V_{DD} が接続されている。演算増幅回路80の反転入力端と出力端の相互間には、キャパシタ C が接続されている。

【0028】図14は、前記演算増幅回路80を具体的に示すものである。この演算増幅回路80は、図5に示す演算増幅回路41において、PチャンネルJFET46、47をNチャンネルJFET91、92に置換え、NPNトランジスタ49、50、51、53、56、58、59をPNPトランジスタ93、94、95、96、97、98、99に置換え、PMOSTランジスタ48、57をNMOSTランジスタ100、101に置換えたものであり、その他の構成は、図5と同一であるため、同一部分には同一符号を付し、詳細な説明は省略する。

【0029】図15は、この発明を全差動演算増幅回路に適用した場合を示すものである。この全差動演算増幅回路110は、差動回路111と、この差動回路111に接続されたエミッタ接地回路112、113によって構成されている。

【0030】前記差動回路111において、入力トランジスタ対を構成するPチャンネルJFET114、115のゲートは反転入力端としての入力端子116、非反転入力端としての117にそれぞれ接続されている。これらJFET114、115のソースは定電流源としてのPチャンネルMOSトランジスタ118を介して電源 V_{DD} に接続されている。このMOSトランジスタ118のゲートは電源 V_{DD} に接続されている。前記JFET114のドレインは、NPNトランジスタ119、120のコレクタにそれぞれ接続され、前記JFET115のドレインは、NPNトランジスタ121、122のコレクタにそれぞれ接続されている。これらトランジスタ119～122の各エミッタは電源 V_{SS} に接続されている。前記トランジスタ119、121の各ベースはインピーダンス変換用のNPNトランジスタ123のエミッタに接

続され、前記トランジスタ120、122の各ベースはNPNトランジスタ124のエミッタに接続されている。これらトランジスタ123、124のエミッタは、抵抗125、126をそれぞれ介して電源 V_{ss} に接続され、各ベースは前記JFET114、115の各ドレインに接続され、各コレクタは電源 V_{DD} に接続されている。

【0031】一方、前記エミッタ接地回路112、113において、前記NPNトランジスタ123、124のベースは、位相補償用のキャパシタ127、128の一端に接続されている。これらトランジスタ123、124のエミッタは、NPNトランジスタ129、130のベースに接続されている。これらトランジスタ129、130のエミッタは電源 V_{ss} に接続され、コレクタは前記キャパシタ127、128の他端に接続されるとともに、定電流源を構成するPMOSTランジスタ131、132のドレインに接続されるとともに、NPNトランジスタ133、134のベースに接続されている。PMOSTランジスタ131、132のゲートはそれぞれ電源 V_{ss} に接続され、各ソースは電源 V_{DD} に接続されている。前記トランジスタ133、134のコレクタは電源 V_{DD} に接続され、各エミッタは出力端子135、136に接続されるとともに、NPNトランジスタ137、138のコレクタに接続されている。これらトランジスタ137、138のベースは電源 V_{ss} に接続され、各エミッタは抵抗139、140を介して電源 V_{ss} に接続されている。

【0032】さらに、前記出力端子135と入力端子117の相互間にはキャパシタC1が接続され、前記出力端子136と入力端子116の相互間にはキャパシタC2が接続されている。

【0033】図16は、図15に示す全差動演算増幅回路110を用いた積分器を示すものであり、抵抗141、142は、スイッチド・キャパシタ回路を等価的に示すものである。この積分器に入力信号電圧 $V_{in}(+)$ 、 $V_{in}(-)$ を供給した場合、これら入力信号電圧 $V_{in}(+)$ 、 $V_{in}(-)$ と、出力信号電圧 $V_{out}(+)$ 、 $V_{out}(-)$ の関係は、図17に示ようになる。また、図16は、図11に示す回路を全差動化したものであるが、図10の回路を同様に全差動化することも可能である。

【0034】尚、図12、図9、図17において、入力信号は電圧 V_{DD} を中心とした信号としたが、これに限定されるものではなく、 $1/2V_{DD}$ 以上の電圧であればよい。また、図2に示す回路の出力端子と反転入力端子の相互間にキャパシタを接続することによっても、JFETに適正なバイアスを設定できる。その他、発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

【0035】

【発明の効果】以上、詳述したようにこの発明によれば、入力トランジスタ対としてJFETを使用し、且つ、出力端子と反転入力端子の相互間に容量素子を接続することにより、入力動作点と出力動作点を異なる電位に設定できるため、JFETに適正なバイアスを設定できるとともに、所要の部分をバイポーラトランジスタによって構成しているため、広帯域化が可能な演算増幅器を提供できる。

10 【図面の簡単な説明】

【図1】従来の演算増幅器を示す回路図。

【図2】入力トランジスタ対としてJFETを用いた従来の演算増幅器を示す図。

【図3】入力トランジスタ対としてJFETを用いた従来のコンパレータの例を示す回路図。

【図4】この発明の一実施例を概略的に示す回路構成図。

【図5】図4に示す回路を具体的に示す回路図。

20 【図6】PチャネルMOSTランジスタとPチャネルJFETの特性図。

【図7】PチャネルMOSTランジスタとPチャネルJFETの構成図。

【図8】図4に示す演算増幅回路をボルテージ・フォロアとした例を示す回路図。

【図9】図8に示す回路の入出力信号を示す回路図。

【図10】図4、図5に示す演算増幅回路を積分器に適用した場合を示す回路図。

【図11】図10に示す回路の等価回路図。

30 【図12】図11に示す回路の入出力信号を示す回路図。

【図13】入力トランジスタ対がNチャネルJFETによって構成された演算増幅回路を積分器に適用した場合を示す回路図。

【図14】図13に示す演算増幅回路を具体的に示す回路図。

【図15】この発明を全差動演算増幅回路に適用した場合を示す回路図。

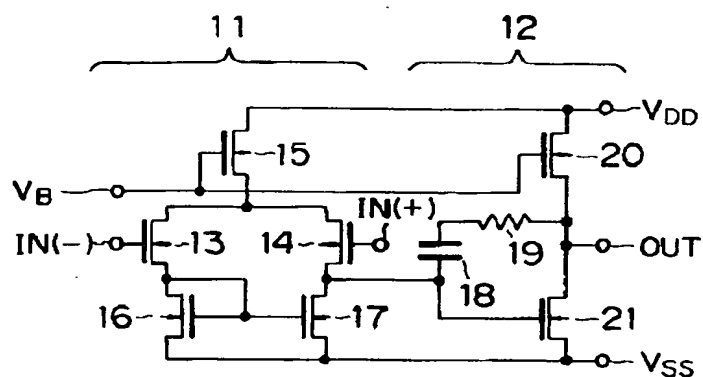
【図16】図15に示す全差動演算増幅回路を用いた積分器を示す回路図。

40 【図17】図15に示す回路の入出力信号を示す回路図。

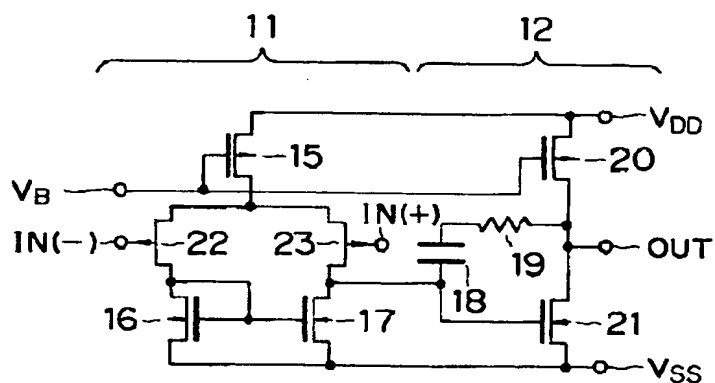
【符号の説明】

41…演算増幅回路、42、43…入力端子、44…出力端子、C…キャパシタ、45…差動回路、46…エミッタ接地回路、46、47、91、92…JFET、49、50、51、53、56、58、59、93、94、95、96、97、98、99…バイポーラトランジスタ、70…スイッチド・キャパシタ回路、110…全差動演算増幅回路。

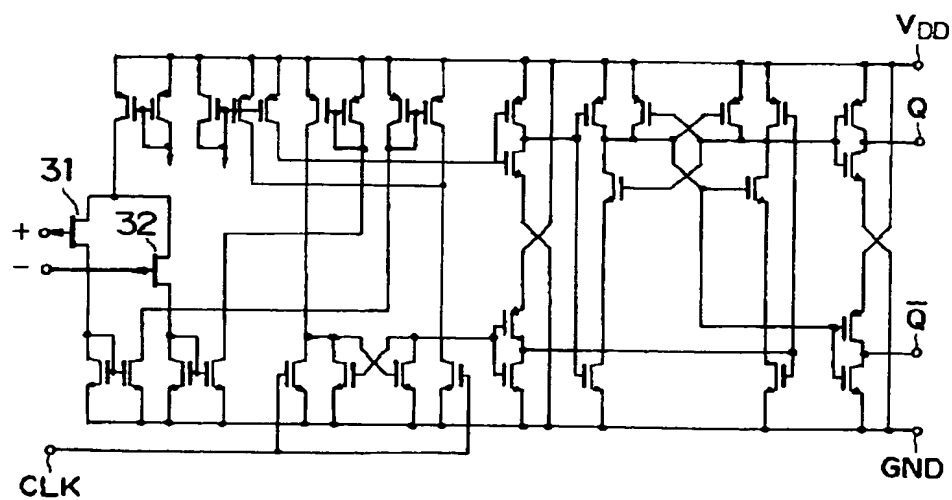
【図1】



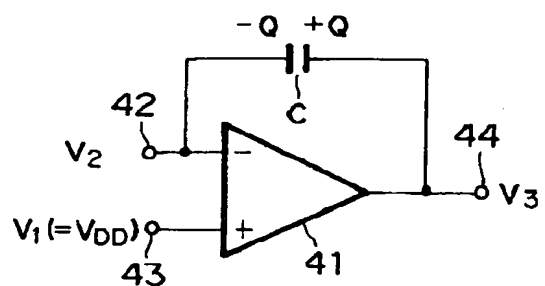
【図2】



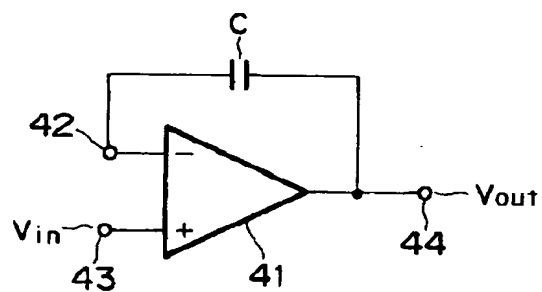
【図3】



【図4】

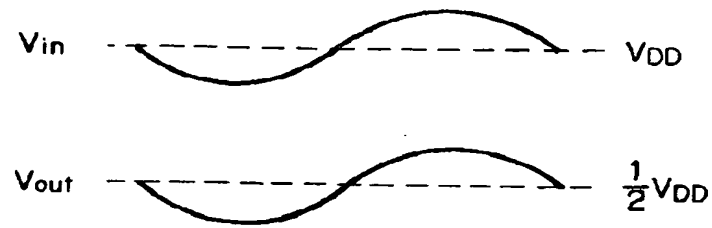


【図8】

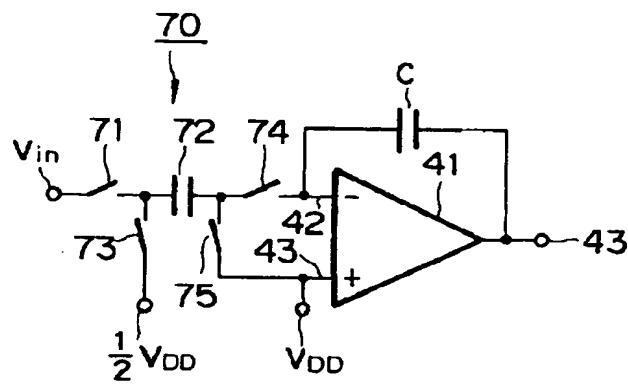


The figure shows two cross-sectional diagrams of semiconductor devices. The left diagram is labeled 'JFET' and shows an N-well with a P+ substrate. It features a source (S) and drain (D) region (P+) and a gate (G) region (N+). The right diagram is labeled 'バイポーラ' (Bipolar) and shows an N-well with a P+ substrate. It features an emitter (E) and base (B) region (P+) and a collector (C) region (N+). Both diagrams show the N-well and P+ regions, and the gate or base region is connected to the N-well.

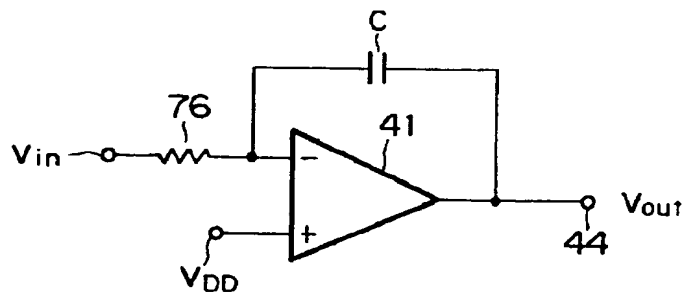
【図9】



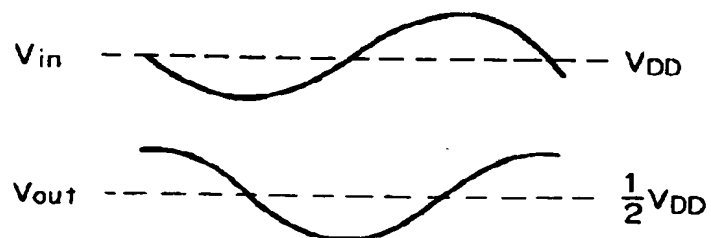
【図10】



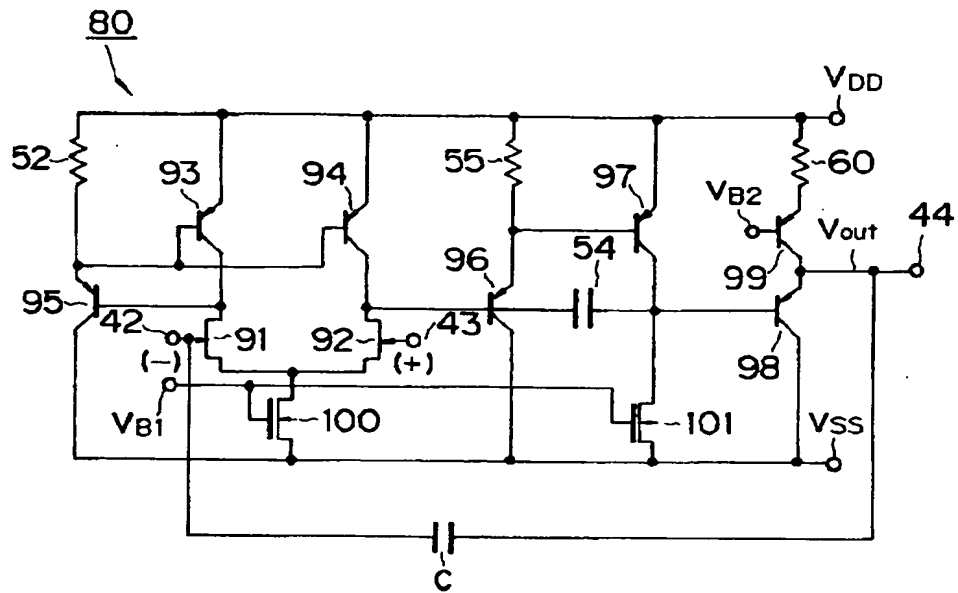
【図11】



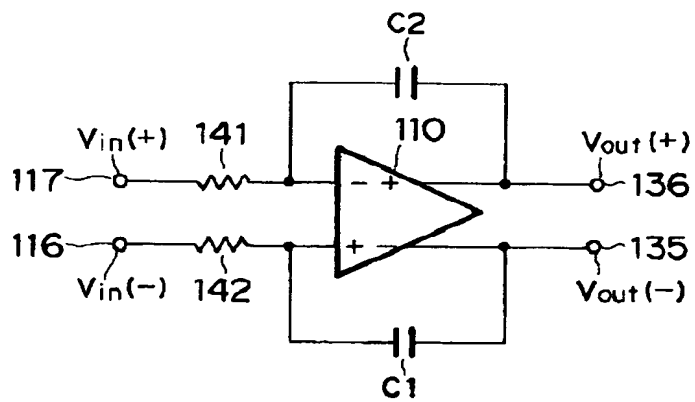
【図12】



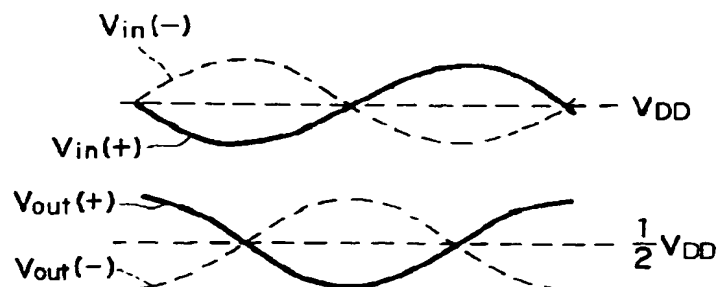
【図 14】



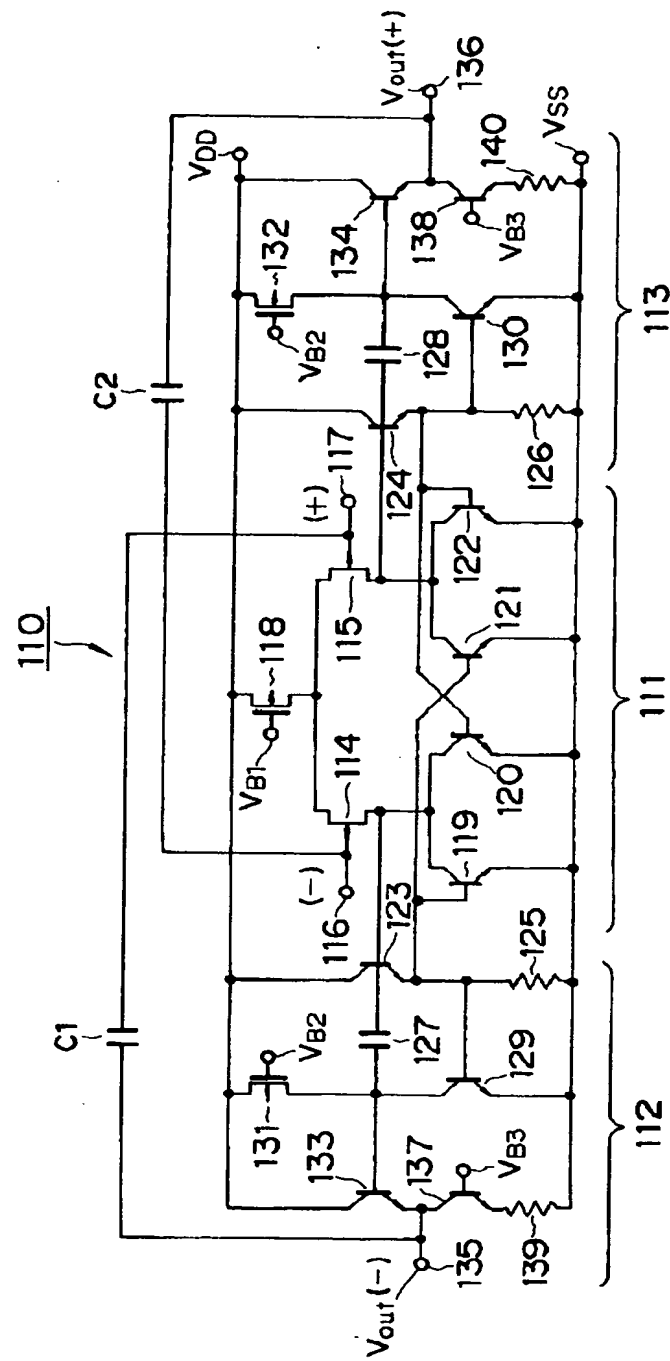
【圖 16】



【圖 17】



【図15】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成11年(1999)4月9日

【公開番号】特開平5-175753
 【公開日】平成5年(1993)7月13日
 【年通号数】公開特許公報5-1758
 【出願番号】特願平3-340558
 【国際特許分類第6版】

H03F 3/45
 3/343

【F I】

H03F 3/45 A
 3/343 Z

【手続補正書】

【提出日】平成9年10月9日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 反転入力端子と、非反転入力端子と、出力端子と、ゲートがそれぞれ前記反転入力端子と前記非反転入力端子に接続され、ジャンクションFETによって構成された入力トランジスタ対と、MOSトランジスタによって構成された定電流源と、バイポーラトランジスタによって構成されたそれ以外の回路とを有する演算増幅回路と、
 前記演算増幅回路の出力端子と反転入力端子の相互間に設けられ、出力信号電位を前記反転入力端子にフィードバックし、反転入力動作点と出力動作点を異なる電位に設定する容量素子とを具備することを特徴とする演算増幅器。

【請求項2】 前記反転入力端子には入力信号電位が供給され、前記非反転入力端子は電源電位に接続されていることを特徴とする請求項1記載の演算増幅器。

【請求項3】 前記演算増幅器は、入力信号電位が前記非反転入力端子に供給されることによりボルテージ・フォロウとして動作することを特徴とする請求項1記載の演算増幅器。

【請求項4】 反転入力端子と、非反転入力端子と、出力端子と、ゲートがそれぞれ前記反転入力端子と前記非反転入力端子に接続され、ジャンクションFETによって構成された入力トランジスタ対とを有する演算増幅回路と、

前記演算増幅回路の出力端子と反転入力端子間に設けられ、出力信号電位を前記反転入力端子にフィードバックし、入力動作点と出力動作点を異なる電位に設定する容

量素子と、

前記演算増幅回路の反転入力端子と非反転入力端子間に設けられたスイッチド・キャパシタ回路とを具備することを特徴とする演算増幅器。

【請求項5】 反転入力端子と、非反転入力端子と、出力端子と、ゲートがそれぞれ前記反転入力端子と前記非反転入力端子に接続され、ジャンクションFETによって構成された入力トランジスタ対と、MOSトランジスタによって構成された定電流源と、バイポーラトランジスタによって構成されたそれ以外の回路とを有する演算増幅回路と、

前記演算増幅回路の出力端子と反転入力端子間に設けられ、出力信号電位を前記反転入力端子にフィードバックし、反転入力動作点と出力動作点を異なる電位に設定する容量素子と、

前記反転入力端子と前記非反転入力端子間に設けられたスイッチド・キャパシタ回路とを具備することを特徴とする演算増幅器。

【請求項6】 前記非反転入力端子は、電源電位に接続されていることを特徴とする請求項4、5記載の演算増幅器。

【請求項7】 前記演算増幅回路は、全差動演算増幅回路により構成されていることを特徴とする請求項4、5記載の演算増幅器。

【請求項8】 前記ジャンクションFETは、PチャネルジャンクションFETにより構成されていることを特徴とする請求項1、4、5記載の演算増幅器。

【請求項9】 前記ジャンクションFETは、NチャネルジャンクションFETにより構成されていることを特徴とする請求項1、4、5記載の演算増幅器。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】

【課題を解決するための手段】この発明は、上記課題を解決するため、反転入力端子と、非反転入力端子と、出力端子と、ゲートがそれぞれ前記反転入力端子と前記非反転入力端子に接続され、ジャンクションFETによって構成された入力トランジスタ対と、MOSトランジスタによって構成された定電流源と、バイポーラトランジスタによって構成されたそれ以外の回路とを有する演算増幅回路と、前記演算増幅回路の出力端子と反転入力端子の相互間に設けられ、出力信号電位を前記反転入力端子にフィードバックし、反転入力動作点と出力動作点を異なる電位に設定する容量素子とを具備する。また、前記反転入力端子には入力信号電位が供給され、前記非反転入力端子は電源電位に接続されている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】また、本発明は、反転入力端子と、非反転入力端子と、出力端子と、ゲートがそれぞれ前記反転入力端子と前記非反転入力端子に接続され、ジャンクションFETによって構成された入力トランジスタ対と、MOSトランジスタによって構成された定電流源と、バイポーラトランジスタによって構成されたそれ以外の回路とを有する演算増幅回路と、前記演算増幅回路の出力端子と反転入力端子間に設けられ、出力信号電位を前記反転入力端子にフィードバックし、反転入力動作点と出力動作点を異なる電位に設定する容量素子と、前記反転入力端子と前記非反転入力端子間に設けられたスイッチド・キャパシタ回路とを具備する。さらに、前記非反転入力端子は、電源電位に接続されている。さらに、前記演算増幅回路は、全差動演算増幅回路により構成されている。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.